

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-053532  
 (43)Date of publication of application : 26.02.1999

(51)Int.Cl.

G06T 3/40  
 G09G 5/36  
 H04N 1/393  
 H04N 3/223  
 H04N 5/262  
 H04N 7/30

(21)Application number : 09-209056  
 (22)Date of filing : 04.08.1997

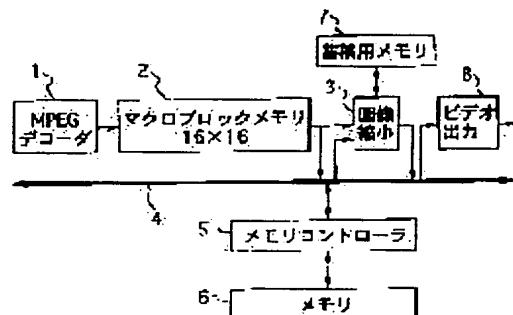
(71)Applicant : FUJITSU LTD  
 (72)Inventor : OWADA HIDEO  
 YOSHITOMI KOJI

## (54) IMAGE PROCESSOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enlarge and reduce an image with a simple constitution by storing pixel information of the bottom row and rightmost column in an object block in a storage means and referring to information on stored pixels in the image processing of blocks adjacent to the stored pixel.

**SOLUTION:** At the time of image reduction, a microblock of  $16 \times 16$  pixels from an MPEG decoder 1 is temporarily held in a microblock memory 2 and then inputted to a video reducing circuit 3. At this time, a memory 7 for storage is stored with pixel information of the bottom row of each microblock a line ahead of a microblock being reduced by the video reducing circuit 3 in a 1st storage area, and pixel information on the rightmost column of a microblock just before the microblock being reduced by the video reducing circuit 3 in a 2nd storage area. When one of the top row or the leftmost column of the microblock is thinned out, the pixel adjacent to the thinned-out pixel can be complemented with the pixel stored in the 1st or 2nd storage area, so that the image can be reduced in the unit of block.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] In the image processing system which processes the image which makes NxM pixel 1 block and consists of two or more blocks per block A 1st storing means by which the information on the pixel for at least one line of said image is storables, A 2nd storing means by which the information on the pixel for at least 1 train of said block is storables, While having an image-processing means to reduce or expand said 1-block image and storing the information on the pixel of the lowest line in said 1st storing means among the pixels within the processing-object block of this image-processing means The image processing system which stores the information on the pixel of a rightmost train in said 2nd storing means, and is characterized by referring to the information on the pixel stored in this 1st storing means and the 2nd storing means when processing the block which adjoins the this stored pixel with said image-processing means.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the image processing system which performs expansion and contraction of an image with an easy configuration especially about the image processing system which processes the image which makes a NxM pixel 1 block and consists of two or more blocks per block.

[0002]

[Description of the Prior Art] For example, in MPEG (Moving Picture Experts Group), a macro block is made into one unit and various processings are performed. Although drawing 6 is the conceptual diagram and one screen consists of a level n pixel and m pixels of perpendiculars, actual processing is performed per 16x16-pixel macro block. Although the macro block was optimized by processing peculiar to MPEG, for example, motion prediction processing etc., and it is convenient to activation of this processing, it causes un-arranging to contraction and expansion processing of an image. The base of image contraction is infanticide of a pixel, and the base of image expansion is insertion of a pixel. However, although information on the pixel to operate on a curtailed schedule is not made to reflect in a contiguity pixel or it is indispensable to the so-called adjustment of the pixel information which makes information on a contiguity pixel reflect in an insertion pixel for a high-definition application in order that simple infanticide and insertion may cause degradation of image quality, in a macro block, such an adjustment technique is inapplicable as it is. The pixel located in the edge of a macro block is because a part of contiguity pixel is lacked.

[0003] Then, in the image processing system which processes the image which makes 1 block a NxM pixel (the above-mentioned example N=M= 16), and consists of two or more blocks per block, contraction processing of the image of one sheet finally obtained as a conventional technique of performing expansion and contraction of an image, for example is carried out, or what carries out expansion processing is known. That is, if Above MPEG is made into an example, what performs infanticide of a pixel and insertion of a pixel is known to the video image finally decoded. In the phase of a video image, since it is expansion ending and constraint of a macro block already separates on one screen (nxm pixel of drawing 6 ), it does not cause above-mentioned un-arranging.

[0004]

[Problem(s) to be Solved by the Invention] By the way, on the occasion of contraction and expansion of a video signal, a lot of pixel operation (bit map operation) occurs. Although such an operation is not extraordinarily difficult processing in the system which carried the highly efficient graphic function like a personal computer or a workstation, if it is in CATV, a digital television receiving set, etc., since only the necessary minimum graphic function is carried for example, it is excessive processing.

[0005] Then, this invention aims at performing expansion and contraction of an image with an easy configuration.

[0006]

[Means for Solving the Problem] In the image processing system which processes the image which invention concerning claim 1 makes NxM pixel 1 block, and consists of two or more blocks per block A 1st storing means by which the information on the pixel for at least one line of said image is storables, A 2nd storing means by which the information on the pixel for at least 1 train of said block is storables, While having an image-processing means to reduce or expand said 1-block image and storing the information on the pixel of the lowest line in said 1st storing means among the pixels within the processing-object block of this image-processing means The information on the pixel of a rightmost train is stored in said 2nd storing means, and in case the block which adjoins the this stored pixel is processed with said image-processing means, it is characterized by referring to the information on the pixel stored in this 1st storing means and the 2nd storing means.

[0007] According to this, the information on the pixel stored in the 1st and 2nd storing means is the information on the contiguity pixel of the top line of a macro block of the order of degree

processing, and a leftmost line. Therefore, since information on this contiguity pixel is not lost, contraction or expansion of an image can be performed per block, and a highly efficient graphic function is not needed.

[0008]

[Embodiment of the Invention] Hereafter, the example of this invention is explained based on a drawing. Drawing 1 – drawing 5 are drawings showing one example of the image processing system concerning this invention, and although not limited especially, it is an example of application to MPEG. First, a configuration is explained. In drawing 1, 1 is an MPEG decoder, and it is written in memory 6 through a bus 4 and the memory controller 5 while it is inputted into the image contraction processing circuit 3, once the 16x16-pixel macro block from the MPEG decoder 1 is held at the macro block memory 2. The image contraction circuit 3 is a circuit which reduces an image per macro block, for example, in case it thins out a certain pixel, it performs information-coordination processing (refer to drawing 2) of making the information on the infanticide pixel reflect in the information on some surrounding contiguity pixels. In addition, in this example, although contraction is made into the example, expansion processing is sufficient. Although it is different at the point which inserts a new pixel, it is common in that the information on some surrounding contiguity pixels is made to reflect in the information on the insertion pixel.

[0009] It is the video outlet circuit which 7 changes a contraction image, an expansion image, or un-reducing / non-expanding image into the memory for recording (detail after-mentioned), changes 8 into a video signal, and is outputted to the display outside drawing. Here, the memory 7 for recording has the 1st storing field which has the capacity for one line of an image at least, and the 2nd storing field which has the storage capacity for one at least 1-block train (16 pixels). The pixel information on the lowest line of each macro block before one line of the macro block under contraction processing is stored in the 1st storage region in the image contraction circuit 3, and the pixel information on the rightmost train of the macro block before [ of the macro block under contraction processing ] one is stored in it in the 2nd storing field in the image contraction circuit 3. For example, in drawing 6, when the macro block which is sign (\*\*) and is shown is made into under contraction processing, the pixel information on the lowest line of macro block (\*\*) – macro block (\*\*) is stored in the 1st storing field, and the pixel information on the rightmost train of macro block (\*\*) is stored in the 2nd storing field (refer to drawing 3).

[0010] When macro block (\*\*) is now assumed to carry out contraction processing in such a configuration, in the 1st storage region at this time The pixel information on the lowest line of each macro block (b) in front of one line of macro block (\*\*) – (d) is stored as above-mentioned. Moreover, since the pixel information on the rightmost train of macro block (e) in front of [ of macro block (\*\*) ] one is stored in the 2nd storing field, if such storing information is added to macro block (\*\*) It means expanding macro block (\*\*) by the pixel of the rightmost train of the lowest line of macro block (b), and macro block (e). When following, for example, thinning out one of the pixels of the best train of macro block (\*\*), the pixel which adjoins the infanticide pixel can be replaced with the pixel in which it was stored to the 1st storing field. Or when one of the pixels of the leftmost train of macro block (\*\*) is thinned out, As a result of being able to replace the pixel which adjoins the infanticide pixel with the pixel in which it was stored to the 2nd storing field, the pixel within a macro block can be operated on a curtailed schedule convenient and the image of a block unit can be reduced (or expansion).

[0011] In addition, in the above-mentioned example, although the 1st storing field and the 2nd storing field were secured to the memory (are recording memory 7) of dedication, it does not restrict to this. For example, the memory (memory 6 of drawing 1) controlled by the memory controller 5 may be used. Drawing 4 and drawing 5 are two examples, the 1st storing field and the 2nd storing field, and drawing 4 is an example equipped with the memory 11 for perpendicular directions for the 2nd storing field while being equipped with the memory 10 for horizontal for the 1st storing field. a comparator, as for macro block memory and 13, for the pixel location of a macro

block to judge a counter, and for 12 judge the lowest line or a rightmost line, as for 14 and 15 -- for the light address counter for perpendicular direction memorandum \*\*, and 18, as for an image contraction circuit and 20, the lead address counter for perpendicular direction memorandum \*\* and 19 are [ the light address counter for horizontal memorandum \*\*, and 16 / the lead address counter for horizontal memorandum \*\*, and 17 / a horizontal counter and 21 ] perpendicular direction counters. [ in addition, ] Moreover, although drawing 5 is a configuration almost similar to drawing 4 , it is different at the point which enabled data transfer with memory 23, the memory 10 for horizontal, and the memory 11 for perpendicular directions through the memory controller 22. According to this configuration, the pixel within a macro block can be operated on a curtailed schedule convenient like drawing 4 , and, in addition to the image of a block unit being reducible (or expansion), there is a merit that storage capacity of the memory 10 for horizontal or the memory 11 for perpendicular directions is made to necessary minimum (capacity required for an operation). It is because an insufficiency should just use the storage capacity of memory 23.  
[0012]

[Effect of the Invention] According to this invention, since information on the contiguity pixel of the top line of a macro block and a leftmost line is not lost, the exceptional effectiveness which is not in the conventional technique in which contraction or expansion of an image can be performed per block is acquired, without needing a highly efficient graphic function.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the outline block diagram of one example.

[Drawing 2] It is the image contraction conceptual diagram of one example.

[Drawing 3] It is the related mimetic diagram of the macro block of one example, are recording memory, and an image contraction circuit.

[Drawing 4] It is an example block diagram of one example.

[Drawing 5] They are other example block diagrams of one example.

[Drawing 6] It is the related mimetic diagram of an image and a macro block.

[Description of Notations]

I - HE: Block (macro block)

3: Image contraction circuit (image-processing means)

7: Are recording memory (the 1st storing means, the 2nd storing means)

10: Memory for horizontal (the 1st storing means)

11: Memory for perpendicular directions (the 2nd storing means)

19: Image contraction circuit (image-processing means)

[Translation done.]

\* NOTICES \*

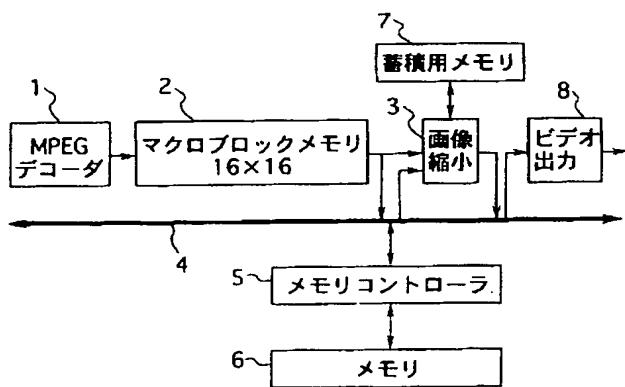
JPO and INPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

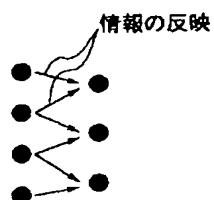
—実施例の概略構成図



3: 画像縮小回路（画像処理手段）  
7: 蓄積メモリ（第1格納手段、第2格納手段）

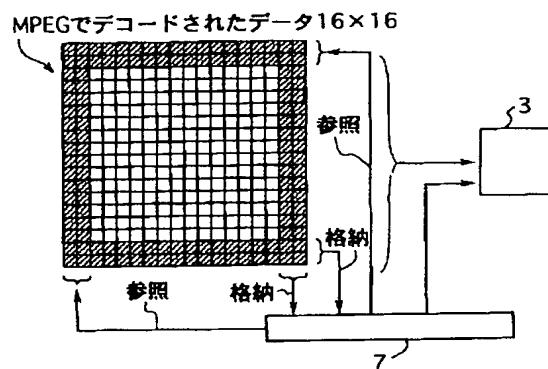
[Drawing 2]

—実施例の画像縮小概念図

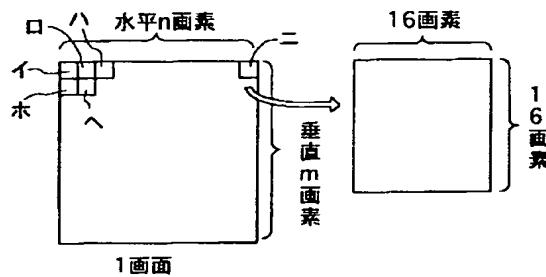


[Drawing 3]

一実施例のマクロブロック、蓄積メモリ及び  
画像縮小回路の関連模式図

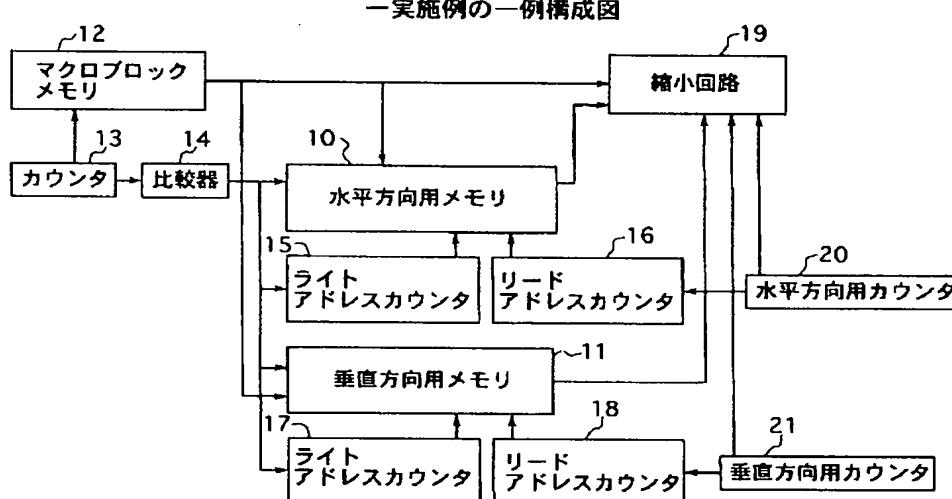


[Drawing 6]  
画像とマクロブロックの関係模式図



イ～ヘ：ブロック（マクロブロック）

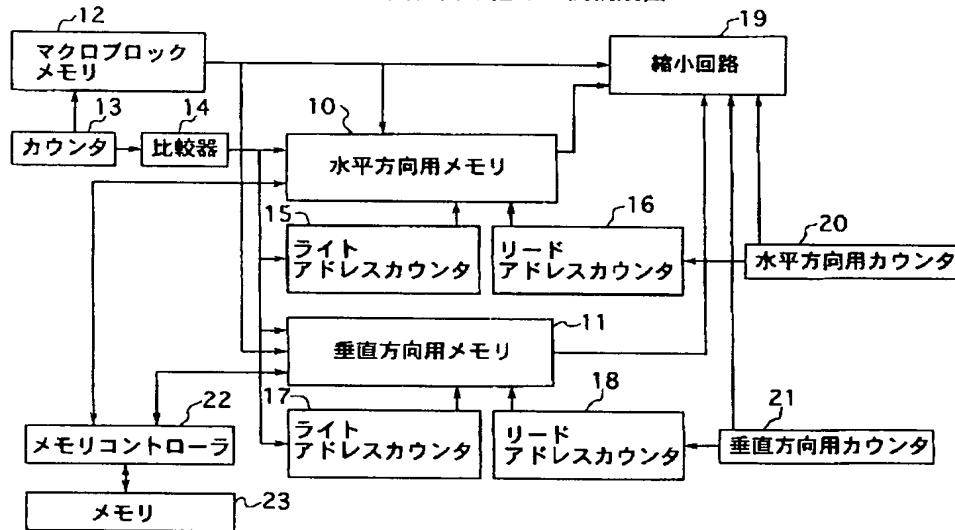
[Drawing 4] 一実施例の一例構成図



10：水平方向用メモリ（第1格納手段）  
11：垂直方向用メモリ（第2格納手段）  
19：画像縮小回路（画像処理手段）

[Drawing 5]

一実施例の他の一例構成図



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-53532

(43)公開日 平成11年(1999)2月26日

(51)Int.Cl.<sup>6</sup>

G 0 6 T 3/40  
G 0 9 G 5/36  
H 0 4 N 1/393  
3/223  
5/262

識別記号

5 2 0

F I

G 0 6 F 15/66  
G 0 9 G 5/36  
H 0 4 N 1/393  
3/223  
5/262

3 5 5 A

5 2 0 E

審査請求 未請求 請求項の数1 O L (全5頁) 最終頁に統く

(21)出願番号

特願平9-209056

(22)出願日

平成9年(1997)8月4日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 大和田 秀夫

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 ▲吉▼富 耕治

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 弁理士 有我 軍一郎

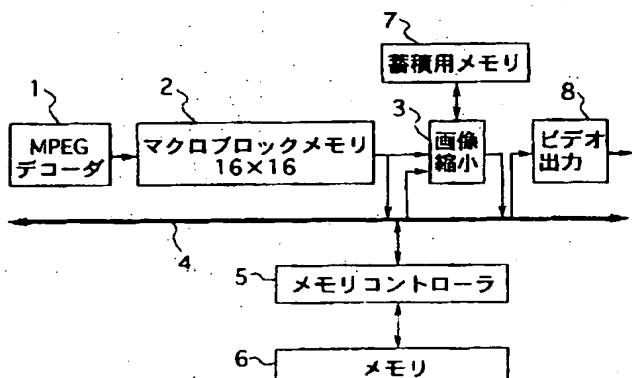
(54)【発明の名称】 画像処理装置

(57)【要約】

【課題】 簡単な構成で画像の拡大や縮小を行う。

【解決手段】 画像をブロック単位に処理する画像処理装置において、画像の少なくとも1ライン分の画素の情報を格納可能な第1格納手段、ブロックの少なくとも1列分の画素の情報を格納可能な第2格納手段、1ブロックの画像を縮小又は拡大する画像処理手段を備え、処理対象ブロック内の画素のうち最下行の画素の情報を第1格納手段に格納し最右列の画素の情報を第2格納手段に格納し格納した画素に隣接するブロックを画像処理手段で処理する際に第1格納手段及び第2格納手段に格納された画素の情報を参照する。第1及び第2格納手段に格納された画素の情報は次処理順のマクロブロックの最上行及び最左行の隣接画素の情報であり同隣接画素の情報を失わないから、ブロック単位に画像の縮小又は拡大を行うことができ、高性能なグラフィック機能を必要としない。

一実施例の概略構成図



3: 画像縮小回路 (画像処理手段)  
7: 蓄積メモリ (第1格納手段、第2格納手段)

## 【特許請求の範囲】

【請求項1】 $N \times M$ 画素を一ブロックにして複数のブロックで構成される画像をブロック単位に処理する画像処理装置において、

前記画像の少なくとも1ライン分の画素の情報を格納可能な第1格納手段と、

前記ブロックの少なくとも1列分の画素の情報を格納可能な第2格納手段と、

前記1ブロックの画像を縮小又は拡大する画像処理手段とを備え、

該画像処理手段の処理対象ブロック内の画素のうち最下行の画素の情報を前記第1格納手段に格納すると共に、最右列の画素の情報を前記第2格納手段に格納し、該格納した画素に隣接するブロックを前記画像処理手段で処理する際に該第1格納手段及び第2格納手段に格納された画素の情報を参照することを特徴とする画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、 $N \times M$ 画素を一ブロックにして複数のブロックで構成される画像をブロック単位に処理する画像処理装置に関し、特に、簡単な構成で画像の拡大や縮小を行う画像処理装置に関する。

## 【0002】

【従来の技術】例えば、MPEG (Moving Picture Experts Group) ではマクロブロックを一つの単位にして様々な処理が行われる。図6はその概念図であり、一画面は水平n画素、垂直m画素で構成されているが、実際の処理は $16 \times 16$ 画素のマクロブロック単位に行われる。マクロブロックはMPEG特有の処理、例えば動き予測処理などに最適化されたもので、同処理の実行に支障はないが、画像の縮小や拡大処理に不都合をきたす。画像縮小の基本は画素の間引きであり、また、画像拡大の基本は画素の挿入である。しかし、単純な間引きや挿入は画質の劣化を招くため、高画質用途では、間引きする画素の情報を隣接画素に反映させたり、隣接画素の情報を挿入画素に反映させたりする、いわゆる画素情報の調整を欠かせないが、マクロブロックの場合、こうした調整テクニックをそのまま適用できない。マクロブロックの縁部に位置する画素は、隣接画素の一部を欠いているからである。

【0003】そこで、 $N \times M$ 画素（上記例では $N=M=16$ ）を一ブロックにして複数のブロックで構成される画像をブロック単位に処理する画像処理装置において、画像の拡大や縮小を行う従来技術としては、例えば、最終的に得られた1枚の画像を縮小処理し又は拡大処理するものが知られている。すなわち、上記MPEGを例にする最終的にデコードされたビデオ画像に対して、画素の間引きや画素の挿入を行うものが知られている。ビデオ画像の段階ではすでに1画面（図6の $n \times m$ 画素）

に展開済みであり、マクロブロックの制約が外れるため、上述の不都合を招かない。

## 【0004】

【発明が解決しようとする課題】ところで、ビデオ信号の縮小や拡大に際しては、大量の画素演算（ビットマップ演算）が発生する。こうした演算はパーソナルコンピュータやワークステーションのように高性能なグラフィック機能を搭載したシステムでは特別難しい処理ではないが、例えば、CATVやデジタルテレビ受像機などにあっては、必要最小限のグラフィック機能しか搭載していないため、過大な処理である。

【0005】そこで、本発明は、簡単な構成で画像の拡大や縮小を行うことを目的とする。

## 【0006】

【課題を解決するための手段】請求項1に係る発明は、 $N \times M$ 画素を一ブロックにして複数のブロックで構成される画像をブロック単位に処理する画像処理装置において、前記画像の少なくとも1ライン分の画素の情報を格納可能な第1格納手段と、前記ブロックの少なくとも1列分の画素の情報を格納可能な第2格納手段と、前記1ブロックの画像を縮小又は拡大する画像処理手段とを備え、該画像処理手段の処理対象ブロック内の画素のうち最下行の画素の情報を前記第1格納手段に格納すると共に、最右列の画素の情報を前記第2格納手段に格納し、該格納した画素に隣接するブロックを前記画像処理手段で処理する際に該第1格納手段及び第2格納手段に格納された画素の情報を参照することを特徴とする。

【0007】これによれば、第1及び第2格納手段に格納された画素の情報は、次処理順のマクロブロックの最上行及び最左行の隣接画素の情報である。したがって、同隣接画素の情報を失わないから、ブロック単位に画像の縮小又は拡大を行うことができ、高性能なグラフィック機能を必要としない。

## 【0008】

【発明の実施の形態】以下、本発明の実施例を図面に基づいて説明する。図1～図5は本発明に係る画像処理装置の一実施例を示す図であり、特に限定しないが、MPEGへの適用例である。まず、構成を説明する。図1において、1はMPEGデコーダであり、MPEGデコーダ1からの $16 \times 16$ 画素のマクロブロックは、マクロブロックメモリ2に一旦保持された後、映像縮小処理回路3に入力されると共に、バス4及びメモリコントローラ5を介してメモリ6に書き込まれる。映像縮小回路3はマクロブロック単位に画像の縮小を行う回路であり、例えば、ある画素を間引く際に、その間引き画素の情報を周囲のいくつかの隣接画素の情報に反映させるという情報調整処理（図2参照）を行うものである。なお、この実施例では、縮小を例にしているが拡大処理でも構わない。新たな画素を挿入する点で相違するが、その挿入画素の情報に周囲のいくつかの隣接画素の情報を反映さ

せる点で共通する。

【0009】7は蓄積用メモリ（詳細後述）、8は縮小画像又は拡大画像若しくは非縮小／非拡大画像をビデオ信号に変換して図外の表示部に出力するビデオ出力回路である。ここで、蓄積用メモリ7は、少なくとも画像の1ライン分の容量を有する第1格納領域と、少なくとも1ブロックの1列分（16画素）の記憶容量を有する第2格納領域とを有している。第1記憶領域には、映像縮小回路3で縮小処理中のマクロブロックの1ライン前の各マクロブロックの最下行の画素情報が格納され、また、第2格納領域には映像縮小回路3で縮小処理中のマクロブロックの1つ前のマクロブロックの最右列の画素情報が格納されるようになっている。例えば、図6において、符号（ヘ）で示すマクロブロックを縮小処理中とすると、第1格納領域にはマクロブロック（イ）～マクロブロック（ニ）の最下行の画素情報が格納され、第2格納領域にはマクロブロック（ホ）の最右列の画素情報が格納されるようになっている（図3参照）。

【0010】このような構成において、今、マクロブロック（ヘ）を縮小処理していると仮定すると、このときの第1記憶領域には、上記のとおり、マクロブロック（ヘ）の1ライン前の各マクロブロック（イ）～（ニ）の最下行の画素情報が格納され、また、第2格納領域にはマクロブロック（ヘ）の1つ前のマクロブロック（ホ）の最右列の画素情報が格納されているから、これらの格納情報をマクロブロック（ヘ）に加えれば、あたかも、マクロブロック（ヘ）をマクロブロック（ロ）の最下行とマクロブロック（ホ）の最右列の画素分だけ拡大したことになる。したがって、例えば、マクロブロック（ヘ）の最上列の画素の一つを間引く場合、その間引き画素に隣接する画素を第1格納領域に格納された画素で補充でき、あるいは、マクロブロック（ヘ）の最左列の画素の一つを間引く場合、その間引き画素に隣接する画素を第2格納領域に格納された画素で補充できる結果、マクロブロック内の画素の間引きを支障なく行うことができ、ブロック単位の画像の縮小（又は拡大）を行うことができる。

【0011】なお、上記実施例では、専用のメモリ（蓄積メモリ7）に第1格納領域と第2格納領域を確保したがこれに限らない。例えば、メモリコントローラ5によって制御されるメモリ（図1のメモリ6）を利用してよい。図4及び図5は、第1格納領域と第2格納領域の

二つの例であり、図4は第1格納領域のための水平方向用メモリ10を備えると共に、第2格納領域のための垂直方向用メモリ11を備える例である。なお、12はマクロブロックメモリ、13はカウンタ、14はマクロブロックの画素位置が最下行か最右行かを判定するための比較器、15は水平方向メモリ用ライトアドレスカウンタ、16は水平方向メモリ用リードアドレスカウンタ、17は垂直方向メモリ用ライトアドレスカウンタ、18は垂直方向メモリ用リードアドレスカウンタ、19は画像縮小回路、20は水平方向カウンタ、21は垂直方向カウンタである。また、図5は、ほぼ図4と類似の構成であるが、メモリコントローラ22を介してメモリ23と水平方向用メモリ10及び垂直方向用メモリ11とのデータ授受を可能にした点で相違する。この構成によれば、図4と同様にマクロブロック内の画素の間引きを支障なく行うことができ、ブロック単位の画像の縮小（又は拡大）を行うことができることに加え、水平方向用メモリ10や垂直方向用メモリ11の記憶容量を必要最小限（演算に必要な容量）にできるというメリットがある。不足分はメモリ23の記憶容量を利用すればよいからである。

### 【0012】

【発明の効果】本発明によれば、マクロブロックの最上行及び最左行の隣接画素の情報を失わないから、高性能なグラフィック機能を必要とせずに、ブロック単位に画像の縮小又は拡大を行うことができるという従来技術にない格別な効果が得られる。

### 【図面の簡単な説明】

【図1】一実施例の概略構成図である。

【図2】一実施例の画像縮小概念図である。

【図3】一実施例のマクロブロック、蓄積メモリ及び画像縮小回路の関連模式図である。

【図4】一実施例の一例構成図である。

【図5】一実施例の他の一例構成図である。

【図6】画像とマクロブロックの関係模式図である。

### 【符号の説明】

イ～ヘ：ブロック（マクロブロック）

3：画像縮小回路（画像処理手段）

7：蓄積メモリ（第1格納手段、第2格納手段）

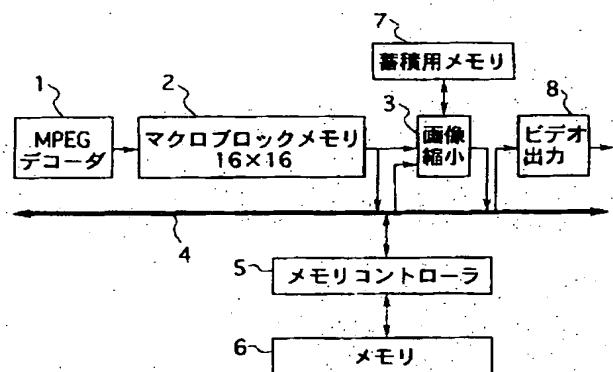
10：水平方向用メモリ（第1格納手段）

11：垂直方向用メモリ（第2格納手段）

19：画像縮小回路（画像処理手段）

【図1】

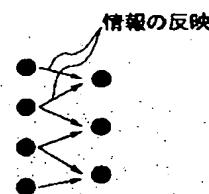
一実施例の概略構成図



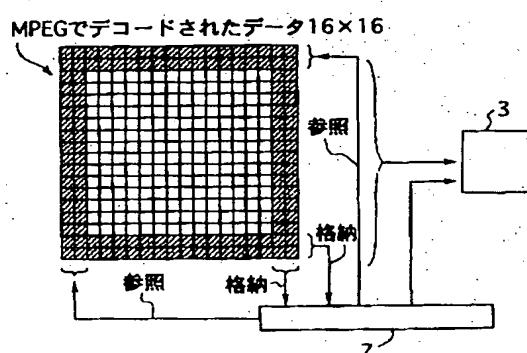
3: 画像縮小回路（画像処理手段）  
7: 蓄積メモリ（第1格納手段、第2格納手段）

【図2】

一実施例の画像縮小概念図

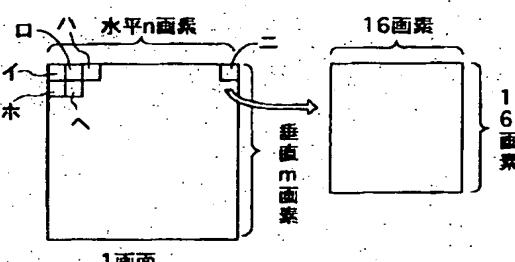


【図3】

一実施例のマクロブロック、蓄積メモリ及び  
画像縮小回路の関連模式図

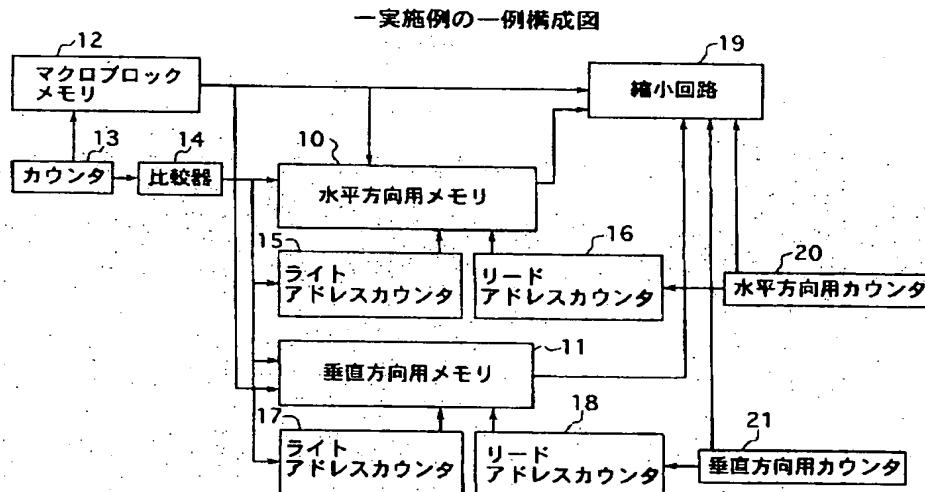
【図6】

画像とマクロブロックの関係模式図

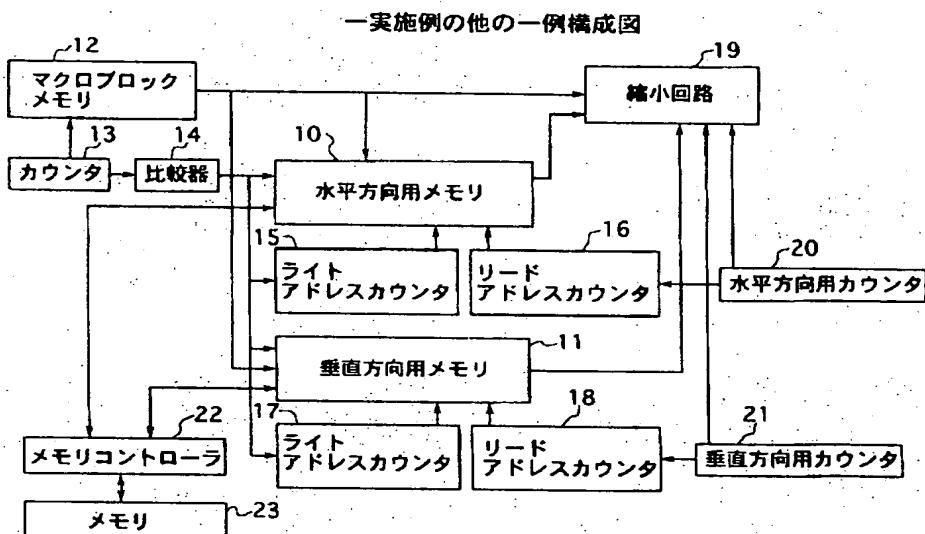


イ～ヘ: ブロック（マクロブロック）

【図4】



【図5】



フロントページの続き

(51) Int.Cl.<sup>6</sup>

識別記号

H 04N 7/30

F I

H 04N 7/133

Z